

# 低損失V溝型SiCトレンチMOSFET

## 4H-SiC V-groove Trench MOSFETs with the Buried p<sup>+</sup> regions

齋藤 雄\*

Yu Saitoh

和田 圭司

Keiji Wada

日吉 透

Toru Hiyoshi

増田 健良

Takeyoshi Masuda

築野 孝

Takashi Tsuno

御神村 泰樹

Yasuki Mikamura

我々はワイドバンドギャップ半導体である炭化珪素 (SiC) を用いて、従来の平面型構造に対して1/3以下の低損失化を可能とする、V溝形状のトレンチ構造を有した金属酸化膜半導体電界効果トランジスタ (MOSFET) の開発を進めている。トレンチMOSFETは、従来開発されている平面型のDouble Implanted MOSFET (DiMOSFET) 特有の電流狭窄抵抗がなく、低損失化に有利であるため、SiC MOSFET構造の主流となりつつある。反面、トレンチ底部の電界集中によりゲート絶縁膜が破壊されやすい問題がある。我々は、埋込みp型領域を用いた電界集中緩和層を導入することにより、トレンチ底部のゲート絶縁膜破壊を抑制し、さらにトレンチ側壁として高移動度の {0-33-8} 面をV溝型に形成することでSiCの材料物性限界に近い低オン抵抗と高耐圧が得られている。本開発では、V溝型SiCトレンチMOSFETを作製し、基本特性の評価を行うと共に、スイッチング損失とゲート絶縁膜信頼性を評価することにより実用性の検証を行った。

We have been developing a metal-oxide-semiconductor field effect transistor (MOSFET) that has a V-groove shaped trench structure. Forming 4H-SiC {0-33-8} face with excellent MOS interface characteristics by thermochemical etching on the channel region of a trench MOSFET, we realized low on-resistance. Furthermore, we introduced an electric field concentration layer with p-type buried region into a drift layer in order to raise high breakdown voltage, suppressing gate insulation film breakdown in the trench bottom. Measured values of both specific on-resistance and breakdown voltage of the trench MOSFET were 3.5 mΩcm<sup>2</sup> ( $V_{GS} = 18$  V,  $V_{DS} = 1$  V) and 1,700 V, respectively. The switching capability of the trench MOSFETs demonstrated almost the same fast dynamic characteristics as the trench MOSFETs that have p-type buried region and no performance degradation was confirmed due to the introduction of the p-type buried region. The typical turn-on and turn-off switching time for the resistive load switching characteristic were estimated to be 92 ns and 27 ns, respectively, at a drain voltage of 600 V. We also tested the stability of threshold voltage in the trench MOSFETs.

キーワード：トレンチMOSFET、4H-SiC、パワーデバイス

## 1. 緒言

地球温暖化に対する国際的な意識が大きな高まりを見せ、CO<sub>2</sub>排出量削減の必要性が広く認識されてきている。また日本においては、東日本大震災における福島第一原子力発電所事故の影響もあり、電気エネルギーの高効率利用や、スマートグリッド構築による再生可能エネルギーの導入がクローズアップされている。

発電されたエネルギーを効率よく伝達し利用する技術は一般的にパワーエレクトロニクスと呼ばれる。特に電力制御用の半導体素子であるパワーデバイスは、電力変換時の損失を低減する省エネルギー化のキーデバイスとして期待されている。

パワーデバイスのほとんどがシリコン (Si) を材料としており、金属酸化膜半導体電界効果トランジスタ (MOSFET) や絶縁ゲート型バイポーラトランジスタ (IGBT) などの素子が使われている。太陽光発電パワーコンディショナーや、ハイブリッド車向けの車載インバータにはSi IGBTが利用されており、LSIで培われた微細化技術を基に低損失化・高耐圧化が図られてきた。しかし、その特性はすでに絶縁破壊電界や電子飽和速度などの物性値から計算される理論的限界に近づ

いており、Siに変わる新しい半導体材料を用いた高性能デバイスの開発が望まれている。

新しい半導体材料の有力候補がワイドバンドギャップ半導体の炭化珪素 (SiC) である。SiCは、Siに比べて絶縁破壊電界、電子飽和速度、熱伝導率が大きく、パワーデバイスに適用する上で優れた特性を有する (表1)。その特性を活用すべく、高耐圧、高速動作、低オン抵抗のデバイスを目指して、SiCを用いたパワーデバイスの研究開発が精力的に行わ

表1 SiCの物性値

	Si	4H-SiC	6H-SiC
禁制帯幅 [eV]	1.12	3.26	3.02
絶縁破壊電界 [MV/cm]	0.3	2.8	3.0
電子移動度 [cm <sup>2</sup> /Vs]	1350	1000	460
飽和ドリフト速度 [10 <sup>7</sup> cm/s]	1.0	2.2	1.9
熱伝導率 [W/cmK]	1.5	4.9	4.9

れている<sup>(1)</sup>。現状、SiCデバイスは、平面型構造のDouble Implanted MOSFET (DiMOSFET) が国内外で商品化されている<sup>(2)、(3)</sup>。これに対してトレンチMOSFETはDiMOSFET特有の電流狭窄抵抗 (JFET抵抗) がなく、低抵抗化が可能となるため低損失化に有利であり、SiC MOSFETの開発の主流となりつつある。

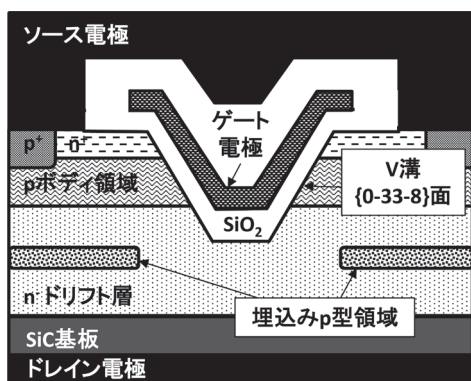


図1 V溝型SiCトレンチMOSFETの断面模式図

当社で開発中のV溝型SiCトレンチMOSFETは、斜面が{0-33-8}面<sup>(4)、(5)</sup>からなるV溝形状のゲート構造を特徴としている。この結晶面は高移動度を有しており、この面をチャンネルとして利用することにより、チャンネル抵抗を低減でき、従来の開発品を凌駕する低損失化を実現している。反面、Siトレンチ型デバイスでは酸化膜より半導体の方が先に絶縁破壊するため顕在化しなかったが、SiCでは絶縁破壊強度がSiに比べ10倍強いため、高電圧印可時に溝底のゲート酸化膜に電界が集中し破壊しやすいという問題がある。我々は溝底周囲に埋込みp型領域を導入することで、溝底に集中する酸化膜電界を緩和する独自の耐圧構造により、高耐圧と低抵抗の両立を試みた。

本稿では埋込みp型領域耐圧構造を有するV溝型SiCトレンチMOSFETの基本特性、並びにインバータ用途を想定したスイッチング特性について報告する。

## 2. V溝型SiCトレンチMOSFET構造と製造プロセス

埋込みp型領域を有するV溝型SiCトレンチMOSFETの断面模式図を図1に示す。埋込みp型領域はV溝トレンチ底周囲に配置している。n型4°オフ4H-SiC (000-1) 基板上にSiCエピタキシャル層を成長し、n型ドリフト層を形成した。不純物濃度と膜厚はそれぞれ $4.5 \times 10^{15} \text{ cm}^{-3}$ と $12 \mu\text{m}$ である。埋込みp型領域はAl (アルミニウム) イオン注入により形成した。その後、第2のn型ドリフト層を不純物濃度 $7.0 \times 10^{15} \text{ cm}^{-3}$ 、膜厚 $3 \mu\text{m}$ で再成長した。n+コンタクト領域、

p+コンタクト領域、pボディ領域は、P (リン) イオンとAlイオンを注入することにより形成した。V溝型トレンチ構造は、熱酸化膜をエッチングマスクとし、Cl<sub>2</sub>雰囲気中の熱化学エッチングでトレンチ側壁に{0-33-8}結晶面を表出することで形成した<sup>(6)</sup>。この時のトレンチ側壁のチャンネル長は $0.6 \mu\text{m}$ である。

図2は熱化学エッチング後の電子顕微鏡 (Scanning Electron Microscope: SEM) 画像である。トレンチ側壁が平滑であり、トレンチ側壁と底には、プラズマエッチングで発生しやすいサブトレンチと呼ばれる窪みがなく、良好なトレンチ構造が形成されている。ゲート酸化膜は熱酸化により形成しており、膜厚は50 nmである。酸化に続いて、一酸化窒素を用いた酸化膜界面の窒化処理により界面準位密度の低減を図っている。ゲート電極は多結晶シリコンを用いた。オーミックのソース電極とドレイン電極は、スパッタリング法による成膜後に $1000 \text{ }^\circ\text{C}$ の熱処理で合金化し、その上にAl配線を形成した。

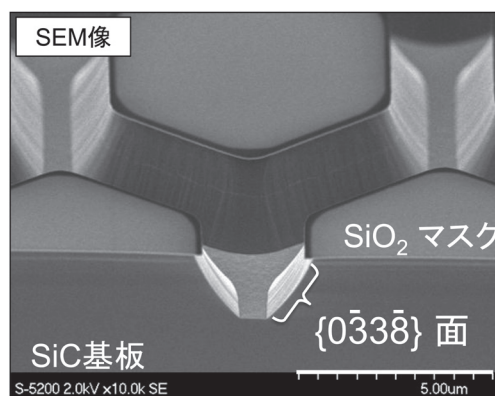


図2 熱化学エッチング後トレンチ形状のSEM像

## 3. V溝型SiCトレンチMOSFETの特性評価

### 3-1 DC特性

#### (1) オン特性

V溝型SiCトレンチMOSFETの順方向 $I_D$ - $V_{DS}$ 特性は、図3に示す。室温の特性オン抵抗は $3.5 \text{ m}\Omega \text{ cm}^2$  ( $V_{GS}=18 \text{ V}$ ,  $V_{DS}=1 \text{ V}$ ) であり、これは従来開発品の平面型のオン抵抗の1/3に相当する。図4はオン状態の電流密度分布であり、埋込みp型領域の有/無の場合について各々シミュレーションで求めたものである。シミュレーションにはSilvaco社製のAtlasを用いた。埋込みp型領域は電流経路の障害となるが、図4に電流密度分布を示す通り、埋込みp型領域を迂回する電流経路が形成されており、埋込みp型領域を有しないMOSFETに対しての電流低下率は16%にとどまっている。特性オン抵抗のシミュレーション計算値は、図5に示す通り、

埋込みp型領域を有するMOSFETは $3.6 \text{ m}\Omega \text{ cm}^2$ 、埋込みp型領域を有しないMOSFETは $3.1 \text{ m}\Omega \text{ cm}^2$ と見積られる。

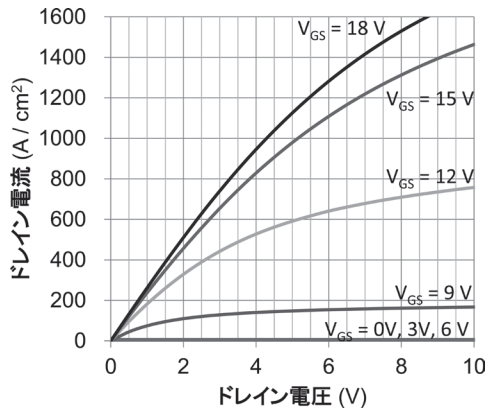


図3 順方向 $I_D$ - $V_{DS}$ 特性

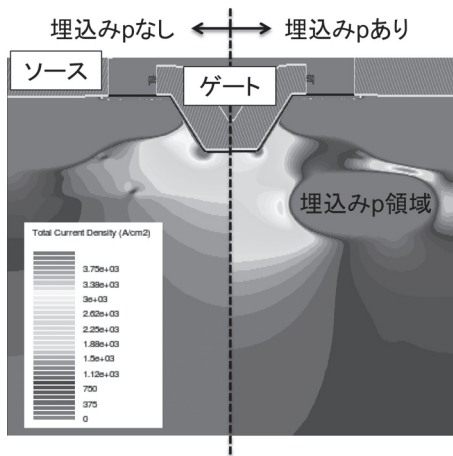


図4 電流密度分布シミュレーション

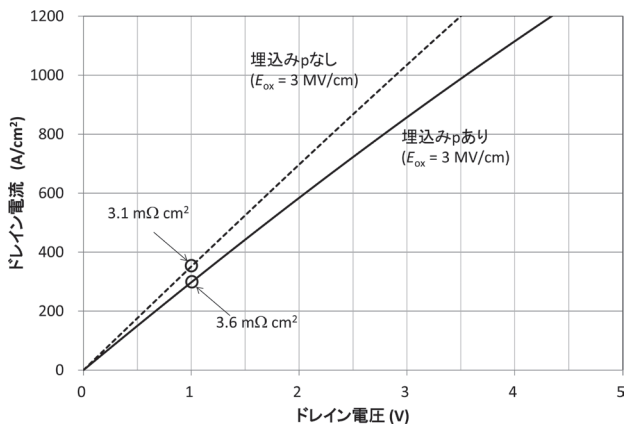


図5  $I_D$ - $V_{DS}$ 特性(シミュレーション計算値)

## (2) オフ特性

室温におけるV溝型SiCトレンチMOSFETのオフ耐圧特性を図6に示す。埋込みp型領域が存在しない場合、 $V_{DS} = 575 \text{ V}$ では、トレンチ底のゲート絶縁膜の破壊が見られた。一方、埋込みp型領域を有する場合は $V_{DS} = 1,700 \text{ V}$ でアバランシェ破壊に至った。埋込みp型領域を導入することにより、トレンチ底の電界集中が緩和され、耐圧向上に繋がった結果である。図7は、デバイスシミュレーションによるドレイン電圧 $1,200 \text{ V}$ 印加時の電界強度分布を示しており、埋込みp型領域の有/無について比較を行ったものである。SiC内の電界強度が最大となる箇所は、埋込みp型領域導入により、トレンチ底から埋込みp型領域近傍に移行し、ゲート絶縁膜電界強度が緩和されていることが示されている。

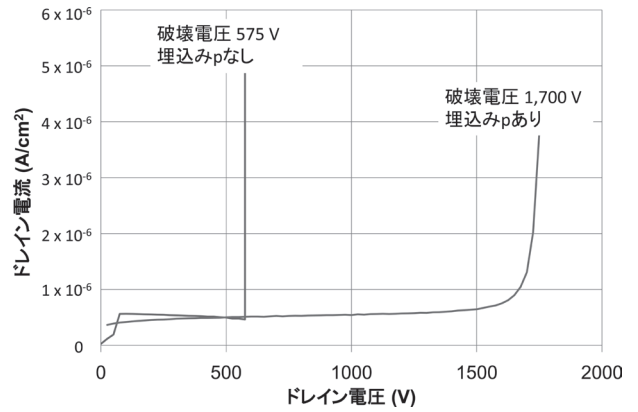


図6 オフ耐圧特性

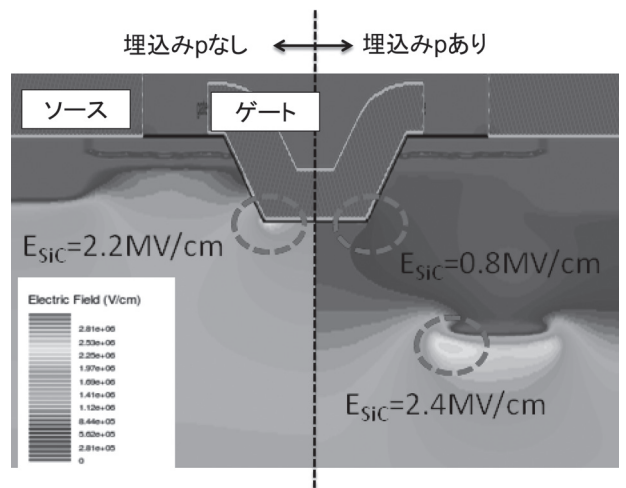


図7 電界強度分布シミュレーション

## 3-2 スイッチング特性

次にV溝型SiCトレンチMOSFETの抵抗負荷スイッチング

特性（ターンオン／ターンオフ特性）について調べた。図8は評価に用いた回路を示す。埋込みp型領域の有／無について各々評価を行い、スイッチング特性に与える影響を調査した。スイッチング特性評価に用いたMOSFETのチップサイズは $3 \times 3 \text{ mm}^2$ である。

図9と図10に、埋込みp型領域を有するトレンチMOSFETのターンオン波形とターンオフ波形を各々示す。スイッチング動作時のソースドレイン間電圧は600 Vであり、ソースドレイン電流を27 A近傍に調整するために抵抗負荷を

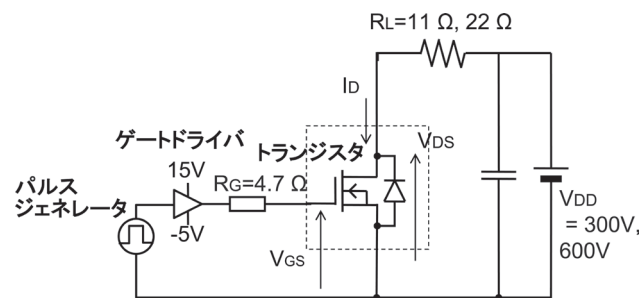


図8 スwitching特性評価用回路

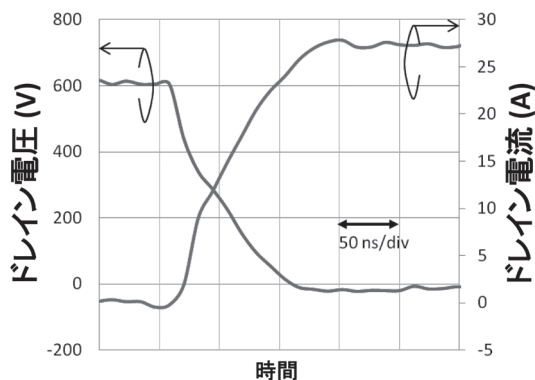


図9 ターンオン波形

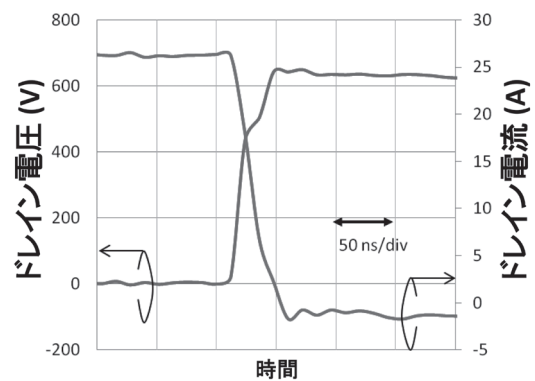


図10 ターンオフ波形

22 Ωとした。ゲート端子－ドライバーIC間のゲート抵抗は4.7 Ωである。ターンオン時の立ち上がり時間 ( $t_r$ ) とターンオフ時の立下り時間 ( $t_f$ ) は各々 $t_r=92 \text{ ns}$ と $t_f=27 \text{ ns}$ であり、ターンオン損失が $E_{on}=252 \text{ μJ}$ 、ターンオフ損失が $E_{off}=164 \text{ μJ}$ であった。同耐圧クラスのSi IGBTのターンオン／オフ損失が数mJオーダーであることを考えると、我々のV溝型SiCトレンチMOSFETは、Si IGBTに比べてスイッチング損失を約1/10以下に低減できることを示した。

一方、埋込みp型領域を有しないMOSFETのスイッチング特性の評価に関しても、埋込みp型領域を有する場合と同様に、図8の回路を用いて評価を行った。ただし埋込みp型領域を有しないMOSFETは、図6に示した通りソースドレイン耐圧が低いため、 $V_{DS}=300 \text{ V}$ に抑えてある。また、ソースドレイン電流を27 A近傍に調整するために抵抗負荷を11 Ωとした。

図11のターンオン波形より求めた立ち上がり時間とエネルギー損失は、埋込みp型領域を有する場合は $t_r=76 \text{ ns}$ と $E_{on}=89 \text{ μJ}$ であり、埋込みp型領域を有しない場合は $t_r=97 \text{ ns}$ と $E_{on}=108 \text{ μJ}$ であった。また図12のターンオフ波形より求めた立下り時間とエネルギー損失は、埋込みp型領域を有する場合は $t_f=9.8 \text{ ns}$ と $E_{off}=85 \text{ μJ}$ であり、埋込みp型領

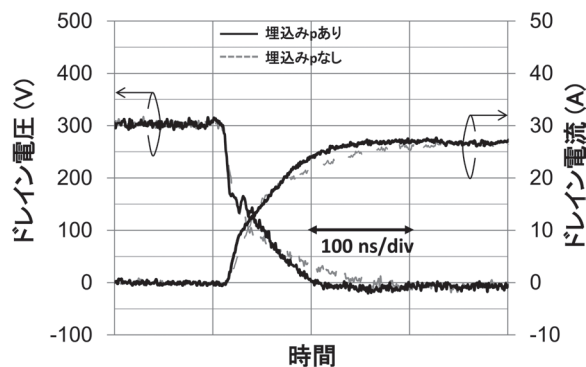


図11 ターンオン波形 (実線：埋込みp有、点線：埋込みp無)

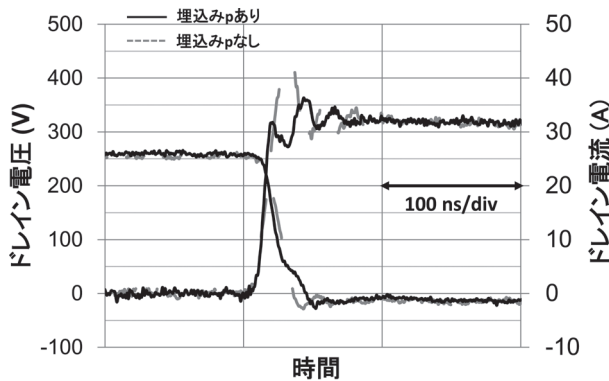


図12 ターンオフ波形 (実線：埋込みp有、点線：埋込みp無)

域を有しない場合は $t_f = 14 \text{ ns}$ と $E_{\text{off}} = 86.2 \text{ } \mu\text{J}$ であった。埋込みp型領域導入のスイッチング速度や損失への有意な影響は見られない。

### 3-3 閾値電圧安定性

SiC MOSデバイスの課題として閾値電圧 ( $V_{\text{th}}$ ) の経時変動が挙げられる。(0001) 面あるいは (000-1) 面上にチャンネルを持つSiC MOSデバイスにおいて、ゲート酸化膜/SiC界面の界面準位により $V_{\text{th}}$ が変動する現象が存在する<sup>7)</sup>。我々はV溝型SiCトレンチMOSFETの175 °C雰囲気中の $V_{\text{th}}$ 安定性について、正ゲートバイアス印加時と負ゲートバイアス印加時について調べた。図13は正バイアス印加時の $V_{\text{th}}$ シフト量の時間依存性を示し、図14は負バイアス時の時間依存性を示す。バイアスの正負に依らず、高温雰囲気中で $V_{\text{th}}$ が1,000時間印加後も閾値電圧変動は $\pm 0.2 \text{ V}$ 以下と小さく、閾値電圧が長期的に安定であることを示している。この $V_{\text{th}}$ 安定性から、ゲート酸化膜 / {0-33-8} SiC界面は、界面準位密度が低く、デバイスの動作安定性において有利であることを示唆している。

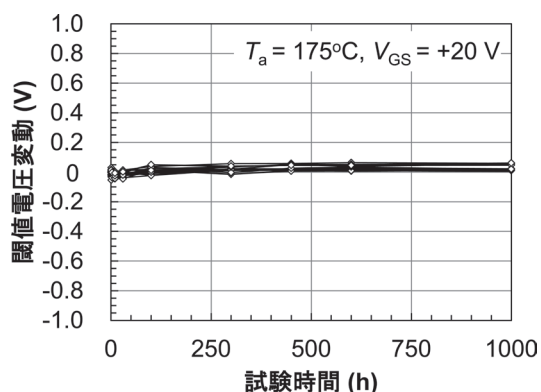


図13 閾値電圧のゲートバイアス印加時間依存性(正バイアス)

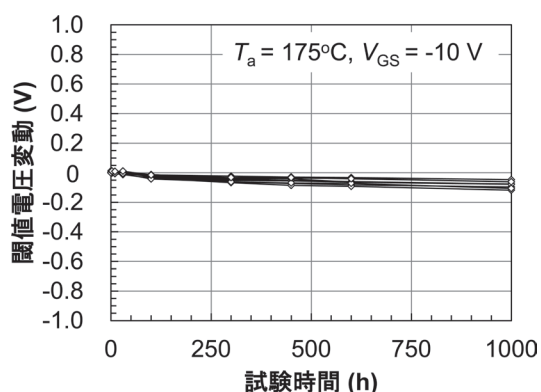


図14 閾値電圧のゲートバイアス印加時間依存性(負バイアス)

## 4. 今後の展望

現在、耐圧数百Vから1,700 Vの中耐圧領域は、太陽光発電パワーコンディショナー、ハイブリッド車や産業用モーター用途のインバータなど用途が広く、相応の市場規模を有する。この用途のパワーデバイスはSi IGBTが市場を独占しており、本開発の目的であるSiCデバイスへの置き換えには、Siデバイスと同程度の低コスト化が課題となる。

低コスト化の方策として、特性オン抵抗の低減により、電流容量当たりのチップ数を削減し、価格がSi基板の10倍程度のSiC基板の材料コストを低減することが挙げられる。

V溝型SiCトレンチMOSFETの特性オン抵抗は、ドリフト層エピ抵抗分が全抵抗の約1/3を占めており、ドリフト層の不純物濃度増加と薄膜化が低抵抗化に有効である。ただしドリフト層の低抵抗化は、同時にトレンチ底への電界集中による耐圧低下を招くため、埋込みp型領域構造を含めた電界緩和構造の最適化を進めて行く予定である。

## 5. 結 言

4H-SiC (000-1) 上に形成したV溝型トレンチMOSFETのDC特性とスイッチング特性について報告した。トレンチ形成に独自の熱化学エッチング法を適用することで、トレンチ側壁に平滑な {0-33-8} 結晶面を表出し、これをチャンネルに用いることによって低抵抗化を図った。また、埋込みp型領域を導入し、トレンチ底の電界集中を抑制することで耐圧を改善した。その結果、特性オン抵抗 $3.5 \text{ m}\Omega \text{ cm}^2$ と破壊電圧1,700 V両立を実現した。

スイッチング特性については、埋込みp型領域の導入による特性劣化は認められず、ターンオン時とターンオフ時において、優れたスイッチング速度と低損失が確認された。

さらに高温雰囲気中の $V_{\text{th}}$ 安定性については、4H-SiC {0-33-8} を用いたV溝型トレンチMOSFETはゲートバイアス印加1,000時間経過後も $V_{\text{th}}$ の変動が見られなかった。これは酸化膜 / {0-33-8} SiC界面の低い界面準位密度が、デバイスの動作安定性においても有利であることを示唆している。

参 考 文 献 -----

- (1) M. Bhatnagar and B. J. Baliga, "Comparison of 6H-SiC, 3C-SiC, and Si for power devices," IEEE Transactions on Electron Devices, Vol.40, pp.645-655 (1993)
  - (2) URL <http://www.rohm.co.jp>
  - (3) C2MTM, URL <http://www.cree.com>
  - (4) H. Yano, T. Hirao, T. Kimoto, H. Matsunami, and H. Shiomi, "Interface properties in metal-oxide -semiconductor structures on n-type 4H-SiC (03-38) ," Appl. Phys. Lett., Vol. 81, No. 25, pp. 4772-4774 (2002)
  - (5) T. Hiyoshi, T. Masuda, K. Wada, S. Harada, and Y. Namikawa, "Improvement of interface state and channel mobility using 4H-SiC(0-33-8) face," Mater. Sci. Forum, Vols. 740-742, pp. 506-509 (2013)
  - (6) H. Koketsu, T. Hatayama, H. Yano, and T. Fuyuki, "Shape control of trench 4H-SiC C-face by thermal chlorine etching," Jpn. J. Appl. Phys., Vol. 51, No. 5, pp. 051201/1-5 (2012)
  - (7) H. Li, S. Dimitrijevic and H. B. Harrison, "Improved Reliability of NO-Nitrided SiO<sub>2</sub> Grown on p-Type 4H-SiC," IEEE Electron Device Letters, Vol.19, pp.279-281 (1998)
- 

執 筆 者 -----

斎藤 雄\* : パワーデバイス開発部



和田 圭司 : パワーデバイス開発部 主席



日吉 透 : パワーデバイス開発部



増田 健良 : 産業技術総合研究所 主査



築野 孝 : パワーデバイス開発部 グループ長  
(理学博士)



御神村泰樹 : パワーデバイス開発部 部長



\*主執筆者